

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098186

(43)Date of publication of application : 14.04.1998

(51)Int.Cl.

H01L 29/78  
H01L 27/04  
H01L 21/822  
H01L 21/8234  
H01L 27/088

(21)Application number : 08-249460

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.09.1996

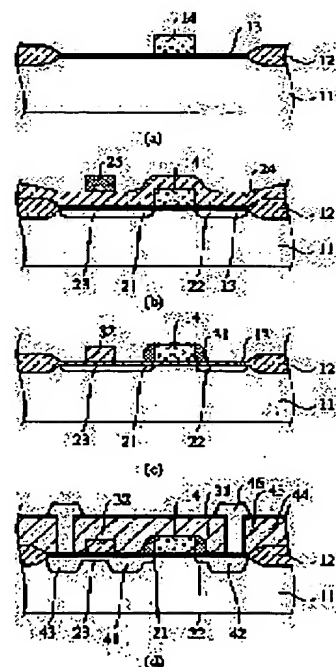
(72)Inventor : AGAWA KENICHI  
URAKAWA YUKIHIRO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To form a sufficiently high resistance with less area and without increase the manufacturing processes by forming a resistor at the same time as when an LDD area of MOS transistor is formed, and using a diffusion area of a high resistance value wherein a mask is formed on its surface at the same when a side wall is formed as a resistor.

**SOLUTION:** In this device, a diffusion area 23 of low concentration and shallow junction depth is formed in succession to a diffusion area 41. The diffusion area 23 is formed at the same time when an LDD area of a transistor is formed, and in the process thereafter, an insulating film 32 prevents formation of a silicide layer on the surface or additional ion implantation, thus a high resistance value is kept. With the diffusion area 23 used as a parasitic resistance of a transistor, a high resistance is formed with less area. The formation of diffusion area 23 makes the insulating film 32 remain in a specified area, so a single process of PEP for forming a resist mask 25 is only added. Thus, with less area, the increase in the manufacturing processes is made small.



## LEGAL STATUS

[Date of request for examination] 30.08.2002

[Date of sending the examiner's decision of rejection] 16.05.2003

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-98186

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78  
27/04  
21/822  
21/8234  
27/088

H 0 1 L 29/78 3 0 1 X  
27/04 R  
27/08 1 0 2 C

審査請求 未請求 請求項の数9 O L (全 6 頁)

(21) 出願番号 特願平8-249460

(22) 出願日 平成8年(1996) 9月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 阿川 謙一

神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内

(72) 発明者 浦川 幸宏

神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内

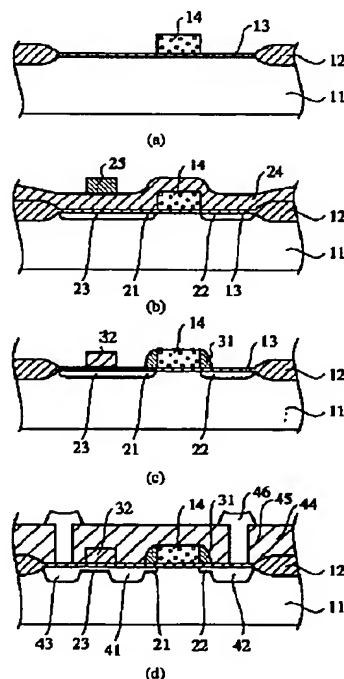
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 従来集積回路に用いられる抵抗素子の抵抗値を増加させるためには製造工程が増加したり、抵抗にかかる面積が増大する問題点がある。特にサリサイド技術など低抵抗技術を用いた場合は占有面積や工程数の増加をもたらす。

【解決手段】 MOSトランジスタのLDD領域の形成と同時に低濃度で接合深さの浅い拡散領域23を形成し、その表面上にサイドウォール31の形成と同時にマスクとなる絶縁膜32を形成し、更にイオン注入が行われたり、表面上にシリサイド層が形成されることを防ぎ、この拡散領域23を抵抗として用いる。



## 【特許請求の範囲】

【請求項1】 第一導電型の半導体基板と、この半導体基板上に絶縁膜を介して形成された電極と、この電極直下の両端の前記半導体基板表面に互いに離間して形成され第一濃度を有する第二導電型の第一、第二拡散領域と、この第一、第二拡散領域のそれぞれに電気的に接続され前記第一濃度より高濃度を有する第二導電型の第三、第四拡散領域とを有する半導体装置において、前記半導体基板表面に前記第一、第二の拡散領域と同時に形成された第二導電型の第五拡散領域を有し、この第五拡散領域は前記第三または第四拡散領域の一方と電気的に接続されていることを特徴とする半導体装置。

【請求項2】 前記第五拡散領域は前記第一乃至第四拡散領域の何れかに隣接した領域に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第五拡散領域は前記第一乃至第四拡散領域の何れにも離間した領域に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第五領域は拡散抵抗として用いられることを特徴とする請求項1乃至3記載の半導体装置。

【請求項5】 第一導電型半導体基板表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜表面上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板表面付近に第一濃度の第二導電型不純物を導入し低不純物濃度領域を形成する工程と、前記半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜上にエッチングマスクを形成する工程と、前記エッチングマスクをマスクとして前記層間絶縁膜をエッチングし前記ゲート電極側面及び前記エッチングマスク下へのみ前記層間絶縁膜を残留させる工程と、残留した前記層間絶縁膜と前記ゲート電極とをマスクとして前記半導体基板表面付近に前記第一濃度より高濃度の第二導電型不純物を導入し高不純物濃度領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 第一導電型半導体基板上の一部領域にゲート電極を形成する工程と、前記ゲート電極をマスクとしてMOSトランジスタのLDD領域及び低不純物濃度領域を形成する工程と、前記半導体基板上に層間絶縁膜を形成する工程と、前記低不純物濃度領域上の前記層間絶縁膜上にエッチングマスクを形成する工程と、前記エッチングマスクをマスクとして前記層間絶縁膜をエッチングし前記ゲート電極側面及び前記エッチングマスク下へのみ前記層間絶縁膜を残留させる工程と、残留した前記層間絶縁膜と前記ゲート電極とをマスクとして前記半導体基板表面付近にソース領域及びドレイン

領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 前記エッチングマスクは前記ゲート電極上の一部を覆うように形成することを特徴とする請求項5または6記載の半導体装置の製造方法。

【請求項8】 前記低濃度不純物領域は前記ソース領域またはドレイン領域または前記LDD領域の何れかに隣接した領域に形成することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】 前記低濃度不純物領域は前記ソース領域またはドレイン領域または前記LDD領域の何れにも離間した領域に形成することを特徴とする請求項6記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置及び半導体装置の製造方法、特に拡散抵抗や寄生抵抗を有する微細化に適した半導体装置と半導体装置の製造方法に関する。

## 【0002】

【従来の技術】従来より半導体装置の微細化技術、低抵抗化技術の進歩が続いている。低抵抗化の技術は、例えば集積回路内に形成されるトランジスタの寄生抵抗の低減や配線層のコンタクト抵抗の低減などに代表される。また半導体基板内に作り込む拡散抵抗もシリサイド技術の進歩などにより、低い抵抗値を有する抵抗を形成することが容易となった。これら微細化や低抵抗化技術の進歩により、半導体素子の高速化の達成がなされている。

【0003】従来では集積回路の製造工程における拡散抵抗は、低い抵抗値の抵抗（以下、低抵抗と称する。）の形成の際には、高濃度で接合深さの深い拡散層を形成し、また高い抵抗値の抵抗（以下、高抵抗と称する。）の形成の際には、低濃度で接合深さの浅い拡散層を形成するのが一般的である。

【0004】ところで集積回路にはその製品によって多種多様な動作が要求され、この中にはある程度の高い抵抗値を有した抵抗素子が必要とされる場合もある。例えば集積回路中の入出力回路では、サージ電圧の影響でトランジスタのゲート酸化膜を破壊することがないように、入力部に高抵抗を用いる必要がある。この入出力部に用いられる素子としては、トランジスタとそのトランジスタの拡散領域に付加される寄生抵抗を用いるものが多い。その製造方法について、以下に簡単に説明する。

【0005】まず図3(a)に示すように、半導体基板111を用意し、その表面上の素子分離領域に素子分離絶縁膜112を形成し、さらに基板111表面上にゲート絶縁膜113を形成する。次に全面に多結晶シリコンなどの導電膜を形成し、その表面上に図示せぬレジストパターンを形成し、これをマスクとしてエッチングを行い、ゲート電極114を形成する。

【0006】続いて図3(b)に示すように、ゲート電極114などをマスクとしてトランジスタのLDD (Lightly Doped Drain) 領域形成のために、基板111と反対導電型の不純物をイオン注入し、低濃度の拡散領域(ソース或いはドレイン領域)121、122を形成する。次に基板111全面に絶縁膜を堆積し、これを異方性エッチングすることで、ゲート電極114側面にサイドウォール123を形成する。

【0007】続いて図3(c)に示すように、ゲート電極114、サイドウォール123などをマスクとして、  
10 基板111と反対導電型の不純物をイオン注入し、拡散領域131、132を形成する。次に基板111全面に層間絶縁膜133を形成する。次に層間絶縁膜133に拡散領域131、132に達するコンタクト孔134を形成し、A1などの導電膜により配線層135を形成する。以上の各工程により寄生抵抗が付加されたトランジスタを形成することができる。ここで寄生抵抗は、拡散領域131内部に形成されることとなり、その等価回路は図5のようになる。また図4に図3(c)の断面付近のトランジスタの上面図を示す。ここで、同一箇所には  
20 同一の符号を示す。尚、図4において141は入出力パッドである。

【0008】図3(c)、図4などで示すように、トランジスタの拡散領域131に付加される寄生抵抗は、トランジスタのソース、ドレイン領域を形成するための拡散領域を利用しているため、寄生抵抗はソース、ドレイン領域と接合深さ及び不純物濃度が同一となる。トランジスタの拡散領域はトランジスタをより高速動作させるためにその不純物濃度を濃く形成するのが主流になりつつある。従って上記の製造方法では、特に入出力回路に  
30 用いられるトランジスタの寄生抵抗としては、十分な高抵抗を得られなくなりつつある。さらにトランジスタの形成においては、特にコンタクト抵抗を低減させる目的でシリサイド技術が用いられるようになってきた。上記のような製造方法でシリサイド技術を用いた場合には、拡散領域の表面上にも低抵抗のシリサイドが形成されるため、更に十分な高抵抗を得られなくなりつつある。

【0009】よって寄生抵抗の抵抗値を増加させるためには、ゲート電極114とコンタクト孔134との距離を十分にとり、拡散領域の面積を大きくとる必要がある  
40 が、結果として入出力回路に用いられるトランジスタの占有面積が大きくなる。

【0010】また抵抗素子は、寄生抵抗としてではなく、トランジスタの形成領域とは別の領域に拡散抵抗として形成することも可能であるが、この場合、その領域の表面上にシリサイドが形成されないように、一度形成されたシリサイドを剥離したり、或いはシリサイドが形成されないようなマスクを施すなどの対策が必要である。さらにこの場合では、拡散抵抗を分離するための素子分離絶縁膜の形成領域などが必要となり、工程数の増  
50

加を招き、また微細化にも適さない。

#### 【0011】

【発明が解決しようとする課題】以上のように従来の半導体装置では、微細化技術や低抵抗化技術の進歩により素子動作の高速化が図られている。しかし集積回路には入出力回路等、あえて高抵抗を必要とする回路も存在する。

【0012】従来集積回路に用いられる抵抗素子としては、MOSトランジスタに隣接してそのソース或いはドレイン領域と同時に形成し、高濃度で接合深さが深い寄生抵抗を用いるか、またはトランジスタとは離れた領域に低濃度で接合深さが浅い拡散抵抗を追加して形成していた。しかし抵抗値を大きくするためには製造工程が増加したり、抵抗にかかる面積が増大する問題点がある。特にサリサイド技術など低抵抗技術を用いた場合、高抵抗素子の形成には逆に大きな占有面積を必要としたり、工程数の増加をもたらすなど、微細化の妨げとなる場合も生じている。この問題は高抵抗を必要とする集積回路内の入出力回路においては特に深刻である。

【0013】以上のような状況を踏まえ、本発明ではサリサイド技術を用いたトランジスタの製造において、製造工程の増加が少なく、且つ従来に比べ抵抗素子の占有面積の少ない半導体装置と半導体装置の製造方法を提供する。

#### 【0014】

【課題を解決するための手段】本発明は上記の問題点を解決するため以下の手段をとる。すなわち本発明の半導体装置では、第一導電型の半導体基板と、この半導体基板上に絶縁膜を介して形成された電極と、この電極直下の両端の前記半導体基板表面に互いに離間して形成され第一濃度を有する第二導電型の第一、第二拡散領域と、この第一、第二拡散領域のそれぞれに電氣的に接続され前記第一濃度より高濃度を有する第二導電型の第三、第四拡散領域とを有する半導体装置において、前記半導体基板表面に前記第一、第二の拡散領域と同時に形成された第二導電型の第五拡散領域を有し、この第五拡散領域は前記第三または第四拡散領域の一方と電氣的に接続されていることを特徴とする。また本発明の半導体装置の製造方法では、第一導電型半導体基板表面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜表面上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板表面付近に第一濃度の第二導電型不純物を導入し低不純物濃度領域を形成する工程と、前記半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜上にエッチングマスクを形成する工程と、前記エッチングマスクをマスクとして前記層間絶縁膜をエッチングし前記ゲート電極側面及び前記エッチングマスク下のみ前記層間絶縁膜を残留させる工程と、残留した前記層間絶縁膜と前記ゲート電極とをマスクとして前記半導体基板表面付近に前記第一濃度より高濃度の第二導電型

不純物を導入し高不純物濃度領域を形成する工程とを有することを特徴とする半導体装置の製造方法を提供する。或いは、第一導電型半導体基板上の一部領域にゲート電極を形成する工程と、前記ゲート電極をマスクとしてMOSトランジスタのLDD領域及び低不純物濃度領域を形成する工程と、前記半導体基板上に層間絶縁膜を形成する工程と、前記低不純物濃度領域上の前記層間絶縁膜上にエッチングマスクを形成する工程と、前記エッチングマスクをマスクとして前記層間絶縁膜をエッチングし前記ゲート電極側面及び前記エッチングマスク下にのみ前記層間絶縁膜を残留させる工程と、残留した前記層間絶縁膜と前記ゲート電極とをマスクとして前記半導体基板表面付近にソース領域及びドレイン領域を形成する工程とを有することを特徴とする。

#### 【0015】

【発明の実施の形態】以下、本発明の第一の実施形態について図1(a)～(d)を参照して説明する。図1

(a)に示すように、半導体基板11を用意し、その表面上の素子分離領域に素子分離絶縁膜12を形成し、さらに基板11表面上にゲート絶縁膜13を形成する。次に全面に多結晶シリコンなどの導電膜を形成し、その表面上に図示せぬレジストパターンを形成し、これをマスクとしてエッチングを行い、ゲート電極14を形成する。

【0016】続いて図1(b)に示すように、ゲート電極14、素子分離絶縁膜12をマスクとしてトランジスタのLDD(Lightly Doped Drain)領域形成のために、基板11全面に、基板11と反対導電型の不純物をイオン注入し、低濃度で接合深さの浅い拡散領域(ソース或いはドレイン領域)21、22を形成する。ここで高抵抗形成予定領域にも低濃度の拡散領域23が形成される。尚、PMOSトランジスタの形成の際にはBをドーズ量 $8 \times 10^{14} \text{atoms} \cdot \text{cm}^{-2}$ 、加速エネルギー15keV程度、またNMOSトランジスタの形成の際にはPまたはAsをドーズ量 $8 \times 10^{14} \text{atoms} \cdot \text{cm}^{-2}$ 、加速エネルギー15keV程度でイオン注入を行う。次に基板11全面にLP-CVD(Low Pressure-Chemical Vapour Deposition)法により絶縁膜24、例えばシリコン窒化膜やシリコン酸化膜を堆積する。次に高抵抗形成予定領域の基板11上に、通常のPEP(Photo Engraving Process)によりレジストマスク25を形成する。このレジストマスク25の寸法としては10～20 $\mu\text{m}$ 程度とするが、形成しようとする抵抗の抵抗値によりその寸法は適宜選択することができる。

【0017】続いて図1(c)に示すように、レジストマスク25をマスクとして絶縁膜24を異方性エッチングし、ゲート電極14側面にサイドウォール31を、また高抵抗形成予定領域の基板11上には絶縁膜32を残留させる。次にレジストマスク25をアッシング等により除去する。

【0018】続いて図1(d)に示すように、素子分離絶縁膜12、ゲート電極14、サイドウォール31、絶縁膜32をマスクとして、基板11と反対導電型の不純物をイオン注入し、拡散領域41、42、43を形成する。トランジスタの動作上、拡散領域41、42がソース或いはドレイン領域として機能する。尚、PMOSトランジスタの形成の際にはBをドーズ量 $3 \times 10^{15} \text{atoms} \cdot \text{cm}^{-2}$ 、加速エネルギー30keV程度で、またNMOSトランジスタの形成の際にはAsをドーズ量 $3 \times 10^{15} \text{atoms} \cdot \text{cm}^{-2}$ 、加速エネルギー30keV程度でイオン注入を行う。次に必要ならば露出している基板11表面上にサリサイド技術により選択的にシリサイド層を形成してもよい。このサリサイド技術により、拡散領域41、43のコンタクト抵抗を低減させることができる。尚、高抵抗形成予定領域の表面上には絶縁膜32が形成されているため、シリサイド層が形成されることはない。次に基板11全面に層間絶縁膜44を形成する。次に層間絶縁膜44に拡散領域41、43に達するコンタクト孔45を形成し、A1などの導電膜により配線層46を形成する。以上の各工程により本発明の第一の実施形態による製造工程が終了する。

【0019】本発明の第一の実施形態により製造された半導体装置では、拡散領域31に連続して低濃度で接合深さの浅い拡散領域23が形成される。この拡散領域23はトランジスタのLDD領域の形成と同時に形成され、それ以降の工程では絶縁膜32が形成されているため、表面上にシリサイド層が形成されたり、新たにイオン注入されることがなく、高い抵抗値を保ったままとなる。従ってこの高い抵抗値を有する拡散領域23をトランジスタの寄生抵抗として用いることにより、従来と比較してより少ない面積で高抵抗を形成することが可能となり、またこの拡散領域23の形成は、絶縁膜32を所定の領域に残留させるため、レジストマスク25の形成のためのPEPを一工程追加するのみで行うことができる。従って本発明では従来の製造方法と比較し、より少ない面積でしかも製造工程の増加を少なく十分高い抵抗値を有する寄生抵抗を形成することが可能となる。

【0020】尚、上記の製造方法では高抵抗として用いる拡散領域23はMOSトランジスタのソース或いはドレイン領域と連続した形態で形成することを示したが、もちろんソース或いはドレイン領域と分離独立して、他の領域に形成してもよい。この場合でも、MOSトランジスタのLDD領域と同一の工程で拡散抵抗を形成することにより、製造工程の増加を少なく高抵抗を形成することができる。

【0021】続いて本発明の第二の実施形態について図2(a)～(c)を参照して説明する。第二の実施形態は、上記第一実施形態における寄生抵抗をMOSトランジスタのLDD領域内部に形成するものである。

【0022】図2(a)に示すように、半導体基板51

を用意し、その表面上の素子分離領域に素子分離絶縁膜52を形成し、さらに基板51表面上にゲート絶縁膜53を形成する。次に全面に多結晶シリコンなどの導電膜を形成し、その表面上に図示せぬレジストパターンを形成し、これをマスクとしてエッチングを行い、ゲート電極54を形成する。

【0023】続いて図2(b)に示すように、ゲート電極54、素子分離絶縁膜52をマスクとしてトランジスタのLDD(Lightly Doped Drain)領域形成のために、基板51全面に、基板51と反対導電型の不純物をイオン注入し、低濃度で接合深さの浅い拡散領域(ソース或いはドレイン領域)61、62を形成する。尚、イオン注入の条件は第一実施形態と同様である。次に基板51全面にLP-CVD(Low Pressure-Chemical Vapor Deposition)法により絶縁膜63、例えばシリコン窒化膜やシリコン酸化膜を堆積する。次に高抵抗形成予定領域の基板51上に、通常のPEP(Photo Engraving Process)によりレジストマスク64を形成する。第一実施形態では高抵抗は、トランジスタのソース或いはドレイン領域に隣接した領域を用いて形成したが、第二実施形態ではゲート電極下のLDD領域を大きくとることにより、この領域に付加される寄生抵抗を高抵抗として利用することを特徴とする。従ってレジストマスク64はゲート電極上の一部を覆って形成する。このレジストマスク64の寸法としては10~20μm程度とするが、形成しようとする抵抗の抵抗値によりその寸法は適宜選択することができる。

【0024】続いて図2(c)に示すように、レジストマスク64をマスクとして絶縁膜63を異方性エッチングし、ゲート電極54側面にサイドウォール71、72を形成する。この際、レジストマスク64が形成された側のサイドウォール72は、レジストマスク64に対応した幅をゲート電極54側面から有して形成される。次にレジストマスク64をアッシング等により除去する。

【0025】続いて図2(d)に示すように、素子分離絶縁膜52、ゲート電極54、サイドウォール71、72をマスクとして基板51と反対導電型の不純物をイオン注入し、拡散領域81、82を形成する。ここでサイドウォール72直下にはイオンが注入されることがないため、このLDD領域において高抵抗の寄生抵抗を得ることができる。すなわち拡散領域61を寄生抵抗として利用することができる。尚、イオン注入の条件は第一実施形態と同様である。次に必要ならば露出している基板51表面上にサリサイド技術により選択的にシリサイド層を形成してもよい。このサリサイド技術により、拡散領域41、42のコンタクト抵抗を低減させることがで

きる。尚、LDD領域の表面上にはサイドウォール72が形成されているため、シリサイド層が形成されることはない。次に基板51全面に層間絶縁膜83を形成する。次に層間絶縁膜83に拡散領域81、82に達するコンタクト孔84を形成し、A1などの導電膜により配線層85を形成する。以上の各工程により本発明の第二の実施形態による製造工程が終了する。

【0026】本発明の第二の実施形態により製造された半導体装置では、LDD領域を長めに形成することによりこれを寄生抵抗として利用することを特徴とする。効果については第一実施形態と同様であり、その説明は省略する。

#### 【0027】

【発明の効果】本発明によれば、抵抗をMOSトランジスタのLDD領域の形成と同時に形成し、その表面上にサイドウォールの形成と同時にマスクを形成し、更にイオン注入が行われたり、表面上にシリサイド層が形成されることを防ぐ。この高い抵抗値を有する拡散領域を抵抗として用いることにより、従来と比較してより少ない面積で、しかも製造工程の増加を少なく十分な高抵抗を形成することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施形態を説明する半導体装置の工程断面図。

【図2】本発明の第二の実施形態を説明する半導体装置の工程断面図。

【図3】従来の製造方法を説明する半導体装置の工程断面図。

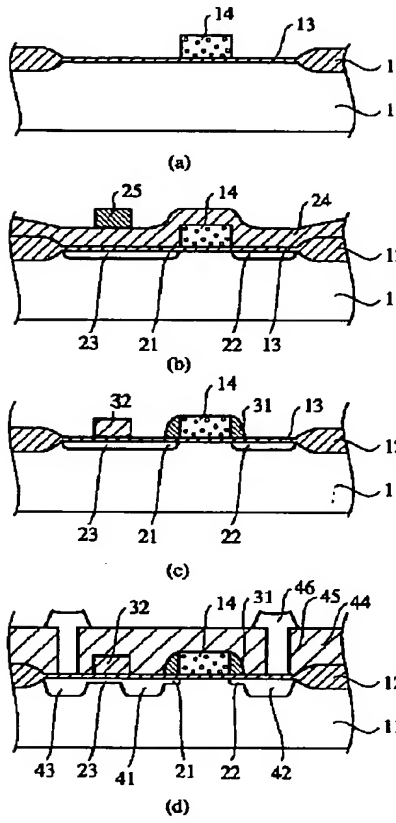
【図4】従来の問題点を説明する半導体装置の上面図。

【図5】半導体装置の等価回路。

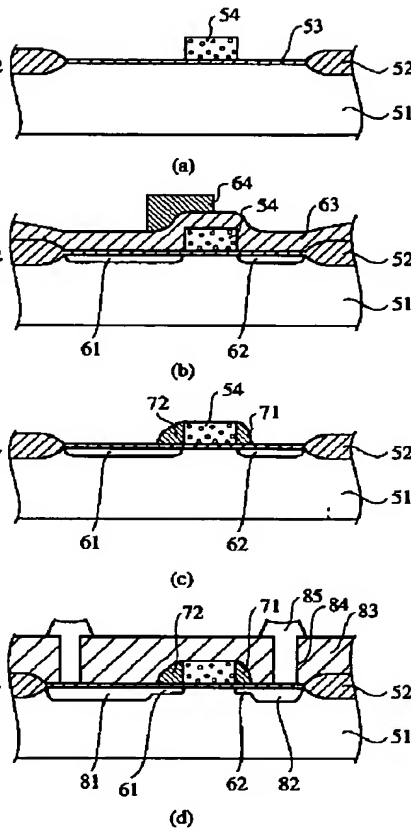
#### 【符号の説明】

11、51、111	半導体基板
12、52、112	素子分離絶縁膜
13、53、113	ゲート絶縁膜
14、54、114	ゲート電極14
21、22、23、41、42、43、61、62、81、82、121、122、131、132	拡散領域
24、32、63	絶縁膜
25、64	レジストマスク
31、71、72、123	サイドウォール
44、83、133	層間絶縁膜
45、84、134	コンタクト孔
46、85、135	配線層
141	入出力パッド

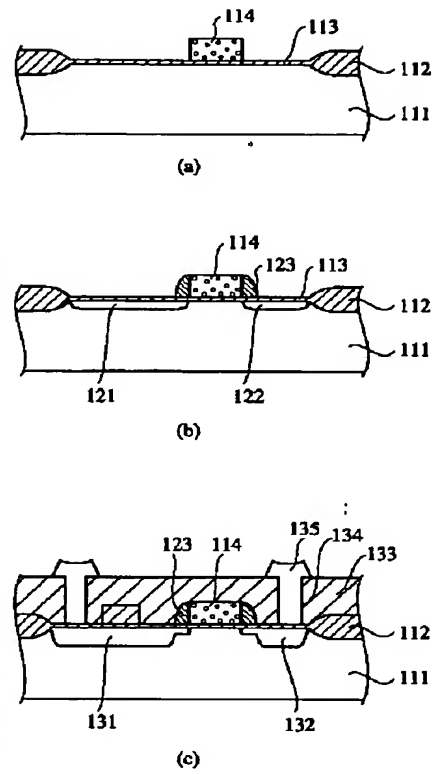
【図1】



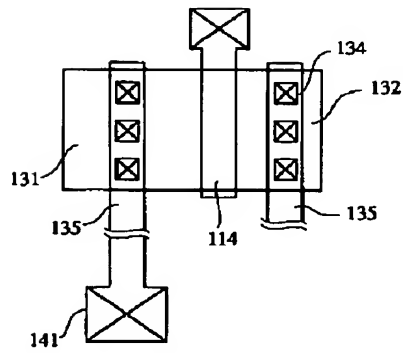
【図2】



【図3】



【図4】



【図5】

